

Docket No.: 60188-084

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Shigeki FURUYA, et al.

Serial No.:

Group Art Unit:

Filed: August 7, 2001

Examiner:

For: CMOS BASIC CELL AND METHOD FOR FABRICATING SEMICONDUCTOR
INTEGRATED CIRCUIT USING THE SAME

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENTS**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

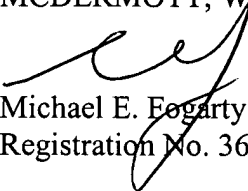
Japanese Patent Application No. 2000-286668, Filed September 21, 2000; and

Japanese Patent Application No. 2001-035267, Filed February 13, 2001

cited in the Declaration of the present application. Certified copies are submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:ykg
Date: August 7, 2001
Facsimile: (202) 756-8087

#3
3-18-02
PATENT
Fauston



日 本 国 特 許
PATENT OFFICE
JAPANESE GOVERNMENT

60188-084
AUGUST 7, 2001
FURUYA, ET AL.
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2001年 2月13日

出 願 番 号

Application Number:

特願2001-035267

出 願 人

Applicant(s):

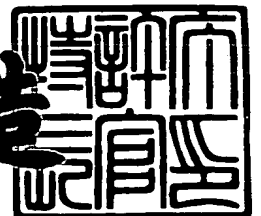
松下電器産業株式会社



2001年 4月13日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3030469

【書類名】 特許願

【整理番号】 5037620125

【提出日】 平成13年 2月13日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/118

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 古谷 栄樹

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 CMOS型基本セル及びこれを使用した半導体集積回路の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上にNチャンネルトランジスタ及びPチャンネルトランジスタを有し、左側方及び右側方に各々同一構成の他の基本セルを配置して使用するCMOS型基本セルにおいて、

前記Nチャンネルトランジスタのゲート又は前記Pチャンネルトランジスタのゲートのうち少なくとも一方は、上端部が一侧方に曲がる第1の折曲部と、下端部が他側方に曲がる第2の折曲部とを有する鉤型の構造に形成される

ことを特徴とするCMOS型基本セル。

【請求項 2】 半導体基板上にNチャンネルトランジスタ及びPチャンネルトランジスタを有し、左側方及び右側方に各々同一構成の他の基本セルを配置して使用するCMOS型基本セルにおいて、

前記Nチャンネルトランジスタの拡散領域又は前記Pチャンネルトランジスタの拡散領域のうち少なくとも一方は、上端部が一侧方に曲がる第1の折曲部と、下端部が他側方に曲がる第2の折曲部とを有する鉤型の構造に形成される

ことを特徴とするCMOS型基本セル。

【請求項 3】 半導体基板上にNチャンネルトランジスタ及びPチャンネルトランジスタを有し、左側方及び右側方に各々同一構成の他の基本セルを配置して使用するCMOS型基本セルにおいて、

前記Nチャンネルトランジスタのゲート又は前記Pチャンネルトランジスタのゲートのうち少なくとも一方は、上端部が一侧方に曲がる第1の折曲部と、下端部が他側方に曲がる第2の折曲部とを有する鉤型の構造に形成され、

前記Nチャンネルトランジスタの拡散領域又は前記Pチャンネルトランジスタの拡散領域のうち少なくとも一方は、上端部が一侧方に曲がる第1の折曲部と、下端部が他側方に曲がる第2の折曲部とを有する鉤型の構造に形成される

ことを特徴とするCMOS型基本セル。

【請求項 4】 縦方向に第1のNチャンネルトランジスタ及び第1のPチャン

ネルトランジスタとが形成され、

前記第 1 の N チャンネルトランジスタの側方に第 2 の N チャンネルトランジスタが形成されると共に、前記第 1 の P チャンネルトランジスタの側方に第 2 の P チャンネルトランジスタが形成され、

前記 2 個の N チャンネルトランジスタ及び 2 個の P チャンネルトランジスタの各ゲートは前記鉤型の構造に形成される

ことを特徴とする請求項 3 記載の CMOS 型基本セル。

【請求項 5】 前記 2 個の N チャンネルトランジスタのゲート同士及び前記 2 個の P チャンネルトランジスタのゲート同士は、一方のゲートの第 1 の折曲部と他方のゲートの第 2 の折曲部とが横方向の同一位置から縦方向を見て重複するように形成される

ことを特徴とする請求項 4 記載の CMOS 型基本セル。

【請求項 6】 前記第 1 及び第 2 の N チャンネルトランジスタ同士で 1 つの拡散領域を有すると共に、前記第 1 及び第 2 の P チャンネルトランジスタ同士で 1 つの拡散領域を有し、

前記両拡散領域は、各々、

両ゲート間に位置して両トランジスタで共有する共有拡散領域と、

前記第 1 のトランジスタのゲートの前記共有拡散領域とは反対側に位置する第 1 の専用拡散領域と、

前記第 2 のトランジスタのゲートの前記共有拡散領域とは反対側に位置する第 2 の専用拡散領域とに区分され、

前記第 1 の専用拡散領域に前記第 1 の折曲部が形成され、

前記第 2 の専用拡散領域に前記第 2 の折曲部が形成される

ことを特徴とする請求項 4 記載の CMOS 型基本セル。

【請求項 7】 前記 N チャンネルトランジスタ及び P チャンネルトランジスタが配置されたトランジスタ領域の外方に、電源配線及びグランド配線が配線された固定配線領域を有する

ことを特徴とする請求項 1、2、3、4、5 又は 6 記載の CMOS 型基本セル

【請求項 8】 基本セルを複数個横方向に配列して半導体集積回路を構成するゲートアレイ方式の半導体集積回路の製造方法であって、

前記請求項 1、2、3、4、5 又は 6 記載の CMOS 型基本セルを、一の CMOS 型基本セルの第 1 の折曲部とこの基本セルの側方に配置する CMOS 型基本セルの第 2 の折曲部とが横方向の同一位置から縦方向を見て重複するように、重なり合って横方向に配列する

ことを特徴とする半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CMOS 型基本セル及びこれを使用したゲートアレイ方式の半導体集積回路の製造方法に関する。

【0002】

【従来の技術】

近年、半導体集積回路は、プロセス微細化に伴い高集積化及び高性能化が益々進む傾向にあり、それに伴い開発コスト及び開発期間は増加の一途をたどっている。そのような状況の中で、ゲートアレイは、CAD (Computer-Aided Design) 等を用いて配線パターンの変更のみで設計できることから、製品の開発期間の短縮やコスト削減又は多品種少量生産に適した半導体集積回路の製造方法として幅広い用途がある。

【0003】

ゲートアレイの製造方法としては、予め決定されたレイアウトパターンを有する基本セルと、前記基本セルを 1 個又は複数使用した論理セルの配線パターンが予め用意された状態で、前記論理セルの自動配置と自動配置された論理セル間同士の自動配線を CAD 等を用いて行われる方法が一般的である。

【0004】

図 4 は、従来の半導体集積回路の基本セルの構成図を示す。同図において、31 は基本セルであって、4 個のトランジスタで構成される。第 1 の P チャンネルトランジスタ TP1 は、平面でカタカナの「コ」字形状に配置したゲート電極 3

2 A と、前記ゲート電極 3 2 A の両側方に設けられた不純物拡散領域 3 3 A 及び 3 4 A とを有している。前記不純物拡散領域 3 3 A 及び 3 4 A はソースやドレインになる。第 2 の P チャンネルトランジスタ T P 2 は、前記トランジスタ T P 1 のゲート電極 3 2 A と逆向きに配置された逆「コ」字形状のゲート電極 3 5 A と、前記ゲート電極 3 5 A の一方側に設けられた不純物拡散領域 3 6 A と、トランジスタ T P 1 と共有する前記不純物拡散領域 3 4 A とを有している。第 1 の N チャンネルトランジスタ T N 1 は、平面でカタカナの「コ」字形状に配置したゲート電極 3 2 B と、前記ゲート電極 3 2 B の両側方に設けられた不純物拡散領域 3 3 B 及び 3 4 B とを有している。前記不純物拡散領域 3 3 B 及び 3 4 B はソースやドレインになる。第 2 の N チャンネルトランジスタ T N 2 は、前記トランジスタ T N 1 のゲート電極 3 2 B と逆向きに配置された逆「コ」字形状のゲート電極 3 5 B と、前記ゲート電極 3 5 B の一方側に設けられた不純物拡散領域 3 6 B と、トランジスタ T N 1 と共有する前記不純物拡散領域 3 4 B とを有している。また、3 7 及び 3 8 は図中上端部及び下端部に設けられ且つ第 1 層目の配線で形成されたグローバル電源パターン及びグローバル G N D (グラウンド) パターンである。

【 0 0 0 5 】

また、前記基本セル 3 1 内のドットラインは配線グリッドである。ここでいう配線グリッドとは、論理セルの配線パターンが配線トラックとして配置される場所をいう。この配線グリッドは、前記基本セル 3 1 の前記ゲート電極 3 2 A、3 2 B、3 5 A、3 5 B、前記不純物拡散領域 3 3 A、3 3 B、3 4 A、3 4 B、3 6 A、3 6 B、前記グローバル電源パターン 3 7 及び G N D パターン 3 8 を横切るように配置されており、その相互間隔は、半導体の製造プロセスのルールで予め決定されたトランジスタの配置ピッチ又は配線ピッチに基づいて決定される。

【 0 0 0 6 】

配線は、前記論理セルの設計段階では、配線グリッドに載るように任意に決定され、前記半導体集積回路の設計段階では C A D システム等により配線グリッドに載るように配置される。これ等の設計段階において、配線は例えば 2 層配線で

配線される場合には、第 2 層目の配線ピッチは第 1 層目の配線との接続を容易にするために第 1 層目の配線ピッチと同一ピッチに設定されるのが一般的である。第 2 層以降の配線層を使用する場合の配線ピッチも同様である。前記図 4 に示した基本セル 3 1 の X 方向の配線トラックは 1 1 本であり、Y 方向の配線トラックは 3 本である。

【0 0 0 7】

【発明が解決しようとする課題】

しかしながら、前記従来の基本セル 3 1 では次の問題点がある。例えば、図 2 (a) に示す D 型フリップフロップ回路 (D F F) の回路構成例を前記図 4 の基本セル 3 1 を使用して構成する場合、第 1 層目の配線と第 2 層目の配線とを論理セル用配線として使用したときには、図 5 に示すレイアウト構成となる。この場合に使用する配線層は第 1 層目の配線層と第 2 層目の配線層に加えて、第 1 層目の配線層と第 2 層目の配線層とを繋ぐビア (V I A) の層の計 3 層が必要となってくる。

【0 0 0 8】

尚、ゲート電極や不純物拡散領域と第 1 層目の配線とを接続するための V I A に関しては、前記図 4 の基本セル 3 1 や前記図 2 の回路構成例は勿論のこと、以後に言及する例を含めて当然必要となるものであるが、本発明の本質には直接関係しないため、本文に限らず図面においても図示を省略する。ここで、図 2 (b) は図 2 (a) に示す D F F のシンボル図、図 2 (c) は動作タイミング図である。同図 (b) において、1 0 0 は D A T A 入力端子、1 1 0 は C L K 入力端子、1 2 0 は反転 C L K 入力端子、2 0 0 は D A T A 出力端子、2 1 0 は反転 D A T A 出力端子である。

【0 0 0 9】

ところで、前記 D F F のスピードや消費電力は、基本セルの大きさや構成に応じて決定される配線長や寄生容量によって制限される。基本セル自体の大きさを変更することなく動作の高速化や低消費電力化を図るためには、例えば、特開平 0 7 - 2 4 0 5 0 1 号公報では、コンタクト領域以外において拡散領域をコンタクト領域よりも狭く限定して、拡散容量を減少させる方法が開示されているが、

配線トラックが減少するという問題点があり、この問題を解消するためには配線トラックの確保のためのプロセス的な工夫が必要となる。

【 0 0 1 0 】

また、例えば特開平 0 9 - 1 8 1 2 8 4 公報では、隣接する基本セルのコンタクト領域を重ねることにより、信号の伝播遅延時間を短縮して高速化を図る方法が開示されるが、この技術もやはり配線トラックの減少が問題となる。

【 0 0 1 1 】

本発明は、前記従来の問題点に鑑みて創作されたものであり、その目的は、配線トラックを十分確保しつつ、基本セルのレイアウト面積を縮小させることにより、動作の高速化や低消費電力化を実現できる CMOS 型基本セル及びこれを使用した半導体集積回路の製造方法を提供することにある。

【 0 0 1 2 】

【課題を解決するための手段】

前記の目的を達成するため、本発明では、基本セルの N チャンネルトランジスタ又は P チャンネルトランジスタのゲートや拡散領域の形状を特殊に形成して、複数個の基本セルを配列して得られる半導体集積回路のレイアウト面積を縮小させる。

【 0 0 1 3 】

即ち、請求項 1 記載の発明の CMOS 型基本セルは、半導体基板上に N チャンネルトランジスタ及び P チャンネルトランジスタを有し、左側方及び右側方に各々同一構成の他の基本セルを配置して使用する CMOS 型基本セルにおいて、前記 N チャンネルトランジスタのゲート又は前記 P チャンネルトランジスタのゲートのうち少なくとも一方は、上端部が一侧方に曲がる第 1 の折曲部と、下端部が他側方に曲がる第 2 の折曲部とを有する鉤型の構造に形成されることを特徴とする。

【 0 0 1 4 】

また、請求項 2 記載の発明の CMOS 型基本セルは、半導体基板上に N チャンネルトランジスタ及び P チャンネルトランジスタを有し、左側方及び右側方に各々同一構成の他の基本セルを配置して使用する CMOS 型基本セルにおいて、前

記Nチャンネルトランジスタの拡散領域又は前記Pチャンネルトランジスタの拡散領域のうち少なくとも一方は、上端部が一侧方に曲がる第1の折曲部と、下端部が他側方に曲がる第2の折曲部とを有する鉤型の構造に形成されることを特徴とする。

【 0 0 1 5 】

更に、請求項3記載の発明のCMOS型基本セルは、半導体基板上にNチャンネルトランジスタ及びPチャンネルトランジスタを有し、左側方及び右側方に各々同一構成の他の基本セルを配置して使用するCMOS型基本セルにおいて、前記Nチャンネルトランジスタのゲート又は前記Pチャンネルトランジスタのゲートのうち少なくとも一方は、上端部が一侧方に曲がる第1の折曲部と、下端部が他側方に曲がる第2の折曲部とを有する鉤型の構造に形成され、前記Nチャンネルトランジスタの拡散領域又は前記Pチャンネルトランジスタの拡散領域のうち少なくとも一方は、上端部が一侧方に曲がる第1の折曲部と、下端部が他側方に曲がる第2の折曲部とを有する鉤型の構造に形成されることを特徴とする。

【 0 0 1 6 】

加えて、請求項4記載の発明は、前記請求項3記載のCMOS型基本セルにおいて、縦方向に第1のNチャンネルトランジスタ及び第1のPチャンネルトランジスタとが形成され、前記第1のNチャンネルトランジスタの側方に第2のNチャンネルトランジスタが形成されると共に、前記第1のPチャンネルトランジスタの側方に第2のPチャンネルトランジスタが形成され、前記2個のNチャンネルトランジスタ及び2個のPチャンネルトランジスタの各ゲートは前記鉤型の構造に形成されることを特徴とする。

【 0 0 1 7 】

また、請求項5記載の発明は、前記請求項4記載のCMOS型基本セルにおいて、前記2個のNチャンネルトランジスタのゲート同士及び前記2個のPチャンネルトランジスタのゲート同士は、一方のゲートの第1の折曲部と他方のゲートの第2の折曲部とが横方向の同一位置から縦方向を見て重複するように形成されることを特徴とする。

【 0 0 1 8 】

更に、請求項 6 記載の発明は、前記請求項 4 記載の CMOS 型基本セルにおいて、前記第 1 及び第 2 の N チャンネルトランジスタ同士で 1 つの拡散領域を有すると共に、前記第 1 及び第 2 の P チャンネルトランジスタ同士で 1 つの拡散領域を有し、前記両拡散領域は、各々、両ゲート間に位置して両トランジスタで共有する共有拡散領域と、前記第 1 のトランジスタのゲートの前記共有拡散領域とは反対側に位置する第 1 の専用拡散領域と、前記第 2 のトランジスタのゲートの前記共有拡散領域とは反対側に位置する第 2 の専用拡散領域とに区分され、前記第 1 の専用拡散領域に前記第 1 の折曲部が形成され、前記第 2 の専用拡散領域に前記第 2 の折曲部が形成されることを特徴とする。

【 0 0 1 9 】

加えて、請求項 7 記載の発明は、前記請求項 1、2、3、4、5 又は 6 記載の CMOS 型基本セルにおいて、前記 N チャンネルトランジスタ及び P チャンネルトランジスタが配置されたトランジスタ領域の外方に、電源配線及びグランド配線が配線された固定配線領域を有することを特徴とする。

【 0 0 2 0 】

また、請求項 8 記載の発明の半導体集積回路の製造方法は、基本セルを複数個横方向に配列して半導体集積回路を構成するゲートアレイ方式の半導体集積回路の製造方法であって、前記請求項 1、2、3、4、5 又は 6 記載の CMOS 型基本セルを、一の CMOS 型基本セルの第 1 の折曲部とこの基本セルの側方に配置する CMOS 型基本セルの第 2 の折曲部とが横方向の同一位置から縦方向を見て重複するように、重なり合って横方向に配列することを特徴とする。

【 0 0 2 1 】

以上により、請求項 1 ～ 8 記載の CMOS 型基本セル及びこの基本セルを複数個配列して構成する半導体集積回路の製造方法では、基本セルの N チャンネル又は P チャンネルトランジスタのゲートの形状が鉤型の構造に形成され、基本セルを複数個横方向に配列して半導体集積回路を製造する場合には、基本セルの前記鉤型構造部分が隣りの基本セルの鉤型構造部分に入り込むように一部重ね合わせて配置される。従って、この重ね合わせにより、製造された半導体集積回路のレイアウト面積が有効に縮小される。

【 0 0 2 2 】

しかも、前記のような重複配列により、一方の基本セルのトランジスタのゲートと他方のトランジスタの拡散領域とを接続する場合には、横方向の同一位置にて配線を縦方向に配置すれば良く、配線を横方向に配置する必要がない。従って、その分、配線長が短縮される。よって、配線トラックを十分に確保しながら、レイアウト面積の縮小が実現でき、且つ配線長の短縮と拡散容量の減少により動作の高速化及び低消費電力化が実現できる。

【 0 0 2 3 】

【発明の実施の形態】

次に、図 1 ～図 3 を参照しながら、本発明の実施の形態に係る CMOS 型基本セル及びこの基本セルを使用した半導体集積回路の製造方法について説明する。

【 0 0 2 4 】

図 1 (a) は、本実施の形態の CMOS 型基本セルの構成を示す。同図 (b) はこの基本セル 1 の等価回路を示す。

【 0 0 2 5 】

図 1 (a) において、20 は基本セルであって、半導体基板 21 上に 4 個のトランジスタ TP1、TP2、TN1、TN2 が設けられて構成される。論理セルなどの半導体集積回路の設計時には、基本セル 20 の図中左側方及び右側方にこの基本セル 20 と同一構成の他の基本セルが配置される。

【 0 0 2 6 】

前記基本セル 20 の 2 個の P チャンネルトランジスタ TP1、TP2 と 2 個の N チャンネルトランジスタ TN1、TN2 とは絶縁膜 (図示せず) により互いに分離される。第 1 の P チャンネルトランジスタ TP1 は、ゲート電極 1 と、前記ゲート電極 1 の両側方に設けられた不純物拡散領域 2 及び 3 を有している。前記不純物拡散領域 2 及び 3 はソースやドレインになる。第 2 の P チャンネルトランジスタ TP2 は前記第 1 の P チャンネルトランジスタ TP1 の図中右側方に配置される。このトランジスタ TP2 は、ゲート電極 4 と、前記ゲート電極 4 の図中右側方に設けられた不純物拡散領域 5 と、前記第 1 の P チャンネルトランジスタ TP1 と共有する不純物拡散領域 (共有拡散領域) 3 とを有している。

【 0 0 2 7 】

また、第 1 及び第 2 の N チャンネルトランジスタ T N 1、T N 2 は、前記 2 個の P チャンネルトランジスタ T P 1、T P 2 の下方に配置される。前記第 1 の N チャンネルトランジスタ T N 1 は、ゲート電極 7 と、前記ゲート電極 7 の両側方に設けられた不純物拡散領域 8 及び 9 を有する。前記不純物拡散領域 8 及び 9 はソースやドレインになる。更に、第 2 の N チャンネルトランジスタ T N 2 も、ゲート電極 1 0 と、前記ゲート電極 1 0 の図中右側方に設けられた不純物拡散領域 1 1 と、前記第 1 の N チャンネルトランジスタ T N 1 と共有する前記不純物拡散領域（共有拡散領域）9 とを有している。

【 0 0 2 8 】

図 1（a）の基本セル 2 0 において、1 2 及び 1 3 は上端部及び下端部に設けられ且つ第 1 層目の配線で形成されたグローバル電源パターン及びグローバル G N D パターンである。また、基本セル 2 0 内のドットラインは配線グリッドであって、X（横）方向の配線トラックは 1 1 本であり、Y（縦）方向には 3 本の配線トラック v 1、v 2、v 3 が存在する。

【 0 0 2 9 】

次に、図 1（a）の基本セル 2 0 の特徴的な構成を説明する。同図の基本セル 2 0 において、第 1 の P チャンネルトランジスタ T P 1 のゲート電極 1 は、Y 方向に延びる本体部 1 a と、この本体部 1 a の上端部を図中右側方に折曲した第 1 の折曲部 1 b と、下端部を図中左側方に折曲した第 2 の折曲部 1 c とから成る。従って、ゲート電極 1 は、本体部 1 a の上下端部に第 1 及び第 2 の折曲部 1 b、1 c を持つ英字「S」に似た形状の鉤型の構造を有する。同様に、第 2 の P チャンネルトランジスタ T P 2 のゲート電極 4 も、Y 方向に延びる本体部 4 a と、この本体部 4 a の上端部を図中右側方に折曲した第 1 の折曲部 4 b と、下端部を図中左側方に折曲した第 2 の折曲部 4 c とから成る。従って、第 2 の P チャンネルトランジスタ T P 2 のゲート電極 4 も、本体部 4 a の上下端部に第 1 及び第 2 の折曲部 4 b、4 c を持つ英字「S」に似た形状の鉤型の構造を有する。

【 0 0 3 0 】

前記第 1 の P チャンネルトランジスタ T P 1 の第 1 の折曲部 1 b と第 2 の P チ

チャンネルトランジスタ TP 2 の第 2 の折曲部 4 c とは、これ等の先端部が Y 方向の中央の配線トラック v 2 上に位置するように、即ち配線トラック v 2 の X 方向位置から Y 方向を見て重複するように配置される。

【 0 0 3 1 】

また、基本セル 2 0 において、第 1 の P チャンネルトランジスタ TP 1 の不純物拡散領域（第 1 の専用拡散領域）2 は、その上端部が図中左側方に折曲した第 1 の折曲部 2 a を有する。同様に、第 2 の P チャンネルトランジスタ TP 2 の不純物拡散領域（第 2 の専用拡散領域）5 は、その下端部が図中右側方に折曲した第 2 の折曲部 5 a を有する。従って、第 1 及び第 2 の P チャンネルトランジスタ TP 1、TP 2 の不純物拡散領域 2、3、5 は、全体として、図中左上端部及び右下端部に各々第 1 及び第 2 の折曲部 2 a、5 a を有する英字「S」の逆形状に似た鉤型の構造を有する。

【 0 0 3 2 】

前記の特徴的な構成は第 1 及び第 2 の N チャンネルトランジスタ TN 1、TN 2 にも採用される。即ち、第 1 の N チャンネルトランジスタ TN 1 のゲート電極 7 は、Y 方向に延びる本体部 7 a と、この本体部 7 a の上端部を図中左側方に折曲した第 1 の折曲部 7 b と、下端部を図中右側方に折曲した第 2 の折曲部 7 c とから成る。従って、第 1 の N チャンネルトランジスタ TN 1 のゲート電極 7 は、本体部 7 a の上下端部に第 1 及び第 2 の折曲部 7 b、7 c を持つ英字「S」の逆形状に似た鉤型の構造を有する。同様に、第 2 の N チャンネルトランジスタ TN 2 のゲート電極 1 0 も、Y 方向に延びる本体部 1 0 a と、この本体部 1 0 a の上端部を図中左側方に折曲した第 1 の折曲部 1 0 b と、下端部を図中右側方に折曲した第 2 の折曲部 1 0 c とから成る。従って、第 2 の N チャンネルトランジスタ TN 2 のゲート電極 1 0 も、本体部 1 0 a の上下端部に第 1 及び第 2 の折曲部 1 0 b、1 0 c を持つ英字「S」の逆形状に似た鉤型の構造を有する。前記第 1 の N チャンネルトランジスタ TN 1 の第 1 の折曲部 7 b と第 2 の N チャンネルトランジスタ TN 2 の第 2 の折曲部 1 0 c とは、これ等の先端部が Y 方向の中央の配線トラック v 2 上に位置するように、即ち配線トラック v 2 の X 方向位置から Y 方向を見て重複するように配置される。

【 0 0 3 3 】

また、基本セル 2 0 において、第 2 の N チャンネルトランジスタ T N 2 の不純物拡散領域（第 1 の専用拡散領域） 1 1 は、その上端部が図中右側方に折曲した第 1 の折曲部 1 1 a を有する。同様に、第 1 の N チャンネルトランジスタ T N 1 の不純物拡散領域（第 2 の専用拡散領域） 8 は、その下端部が図中左側方に折曲した第 2 の折曲部 8 a を有する。従って、第 1 及び第 2 の N チャンネルトランジスタ T N 1、T N 2 の不純物拡散領域 8、9、1 1 は、全体として、図中右上端部及び左下端部に各々第 1 及び第 2 の折曲部 1 1 a、8 a を有する英字「S」の形状に似た鉤型の構造を有する。

【 0 0 3 4 】

図 3 は、前記図 1（a）に示した C M O S 型基本セル 2 0 を 6 個半導体基板に配列して、図 2（a）の D F F 回路を実現した半導体集積回路の一例を示す。図 3 では、図 1（a）の基本セル 2 0 A ～ 2 0 F を X 方向に並べる際に、配置する両基本セルが 1 グリッド分だけ重なり合うように配置される。すなわち、図 3 から判るように、例えば基本セル 2 0 A とこれに隣る基本セル 2 0 B との関係を例示すると、基本セル 2 0 A の第 2 の P チャンネルトランジスタ T P 2 のゲート 4 の第 1 の折曲部 4 b の下方に基本セル 2 0 B の第 1 の P チャンネルトランジスタ T P 1 の不純物拡散領域 2 の第 1 の折曲部 2 a が位置し、基本セル 2 0 A の第 2 の P チャンネルトランジスタ T P 2 の不純物拡散領域 5 の第 2 の折曲部 5 a の下方に基本セル 2 0 B の第 1 の P チャンネルトランジスタ T P 1 のゲート 1 の第 2 の折曲部 1 c が位置する。基本セル 2 0 A の第 2 の N チャンネルトランジスタ T N 2 と基本セル 2 0 B の第 1 の N チャンネルトランジスタ T N 1 との関係についても同様である。

【 0 0 3 5 】

本実施の形態の図 3 と従来の図 5 とを比較すると、本実施の形態では D F F の論理回路全体のレイアウト面積は約 7 0 % に削減され、使用される配線グリッドも約 8 0 % に削減されている。

【 0 0 3 6 】

しかも、例えば基本セル 2 0 B の第 2 の P チャンネルトランジスタ T P 2 のゲ

ート4と基本セル20Cの第1のPチャンネルトランジスタTP1の拡散領域2とを接続する場合には、前記ゲート4の第1の折曲部4bと前記拡散領域2の第1の折曲部2aとを接続すればよいので、この両者を接続する配線の配線長は1グリッドで足り、配線長を短縮できる。従って、この配線長の短縮化と、前記レイアウト面積の縮小による負荷容量の減少とが相俟って、製造された半導体集積回路の動作の高速化が図られることになる。

【0037】

尚、本実施の形態では、第1及び第2の折曲部1b、1c、4b、4c、7b、7c、10b、10c、2a、5a、8a、11aは全て側方に向けて直角に折れ曲がる場合を例示したが、本発明はこれに限定されず、本体から側方に曲がる場合を全て含み、例えば側方に曲線状に曲がる場合をも含むものである。

【0038】

【発明の効果】

以上説明したように、請求項1ないし請求項8記載の発明のCMOS型基本セル及びこの基本セルを使用した半導体集積回路の製造方法によれば、配線トラックを十分に確保しつつ、論理回路のレイアウト面積の縮小及び動作の高速化、低消費電力化を実現することが可能である。

【図面の簡単な説明】

【図1】

(a)は本実施の形態のCMOS型基本セルのレイアウト図、(b)は同基本セルの等価回路図である。

【図2】

(a)は基本セルを用いて構成されるD型フリップフロップ回路の回路図、(b)は同D型フリップフロップ回路のシンボル図、(c)は同D型フリップフロップ回路の動作タイミング図である。

【図3】

本実施の形態のCMOS型基本セルを用いてD型フリップフロップ回路を製造した場合のレイアウト配線図である。

【図4】

従来のCMOS型基本セルのレイアウトを示す図である。

【図 5】

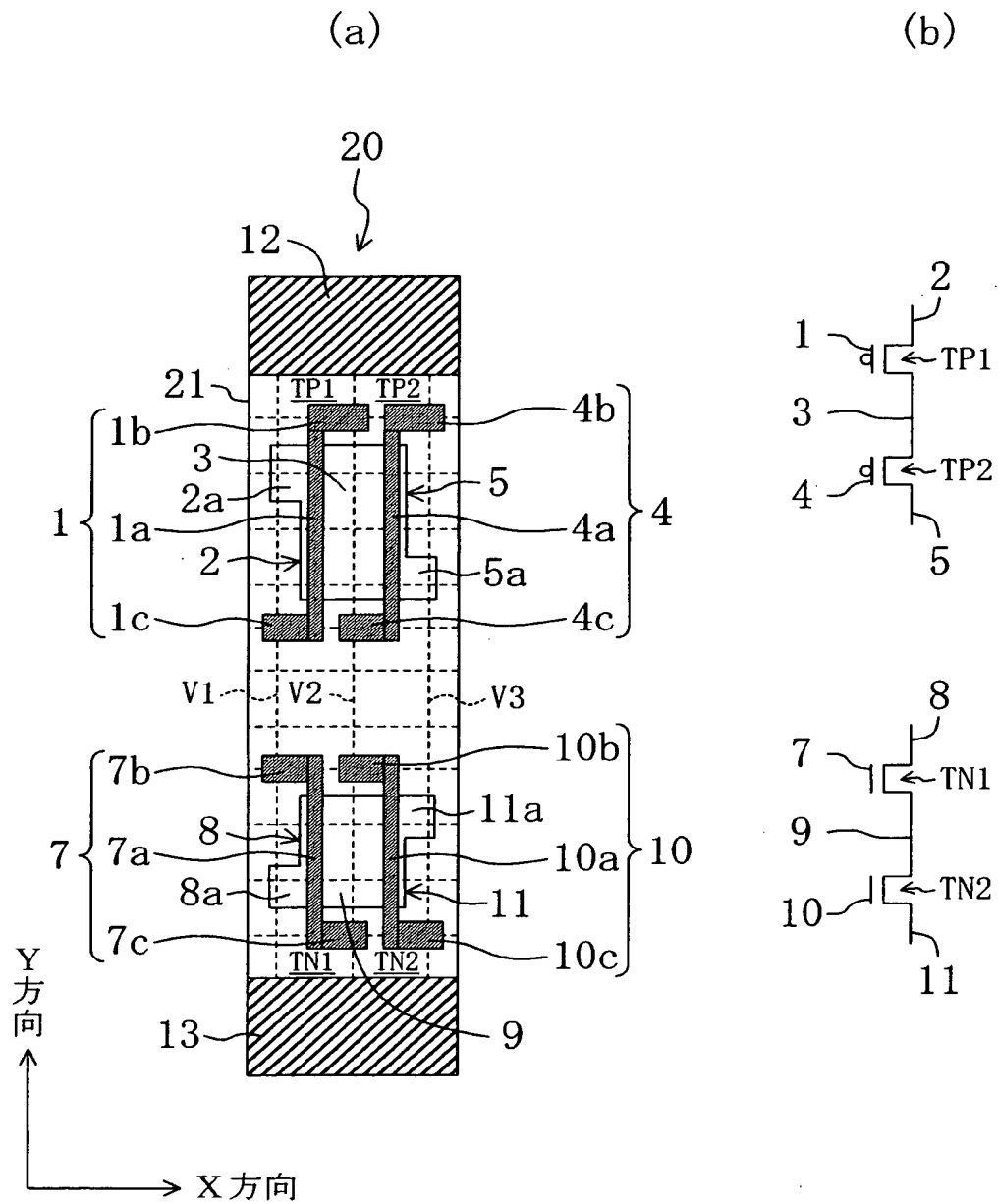
従来のCMOS型基本セルを用いてD型フリップフロップ回路を構成した場合のレイアウト配線図である。

【符号の説明】

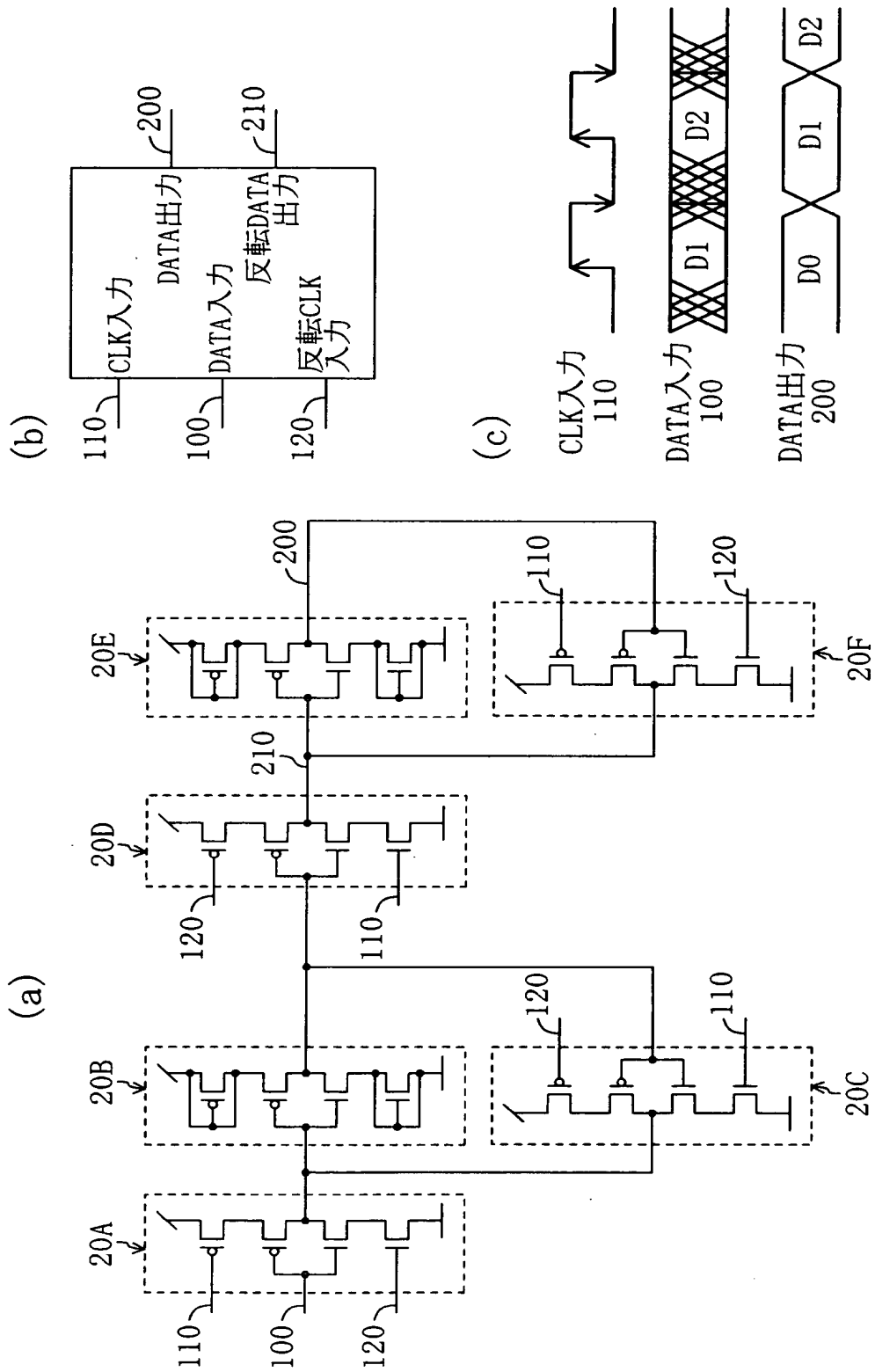
TP 1	第 1 の P チャンネルトランジスタ
TP 2	第 2 の P チャンネルトランジスタ
TN 1	第 1 の N チャンネルトランジスタ
TN 2	第 2 の N チャンネルトランジスタ
1、4、7、10	ゲート
1 a、4 a、7 a、10 a	ゲートの本体部
1 b、4 b、7 b、10 b	ゲートの第 1 の折曲部
1 c、4 c、7 c、10 c	ゲートの第 2 の折曲部
2、11	拡散領域（第 1 の専用拡散領域）
3、9	拡散領域（共有拡散領域）
5、8	拡散領域（第 2 の専用拡散領域）
2 a、11 a	拡散領域の第 1 の折曲部
5 a、8 a	拡散領域の第 2 の折曲部
12	電源パターン
13	GND パターン
20、20 A～20 F	CMOS 型基本セル
21	半導体基板

【書類名】 図面

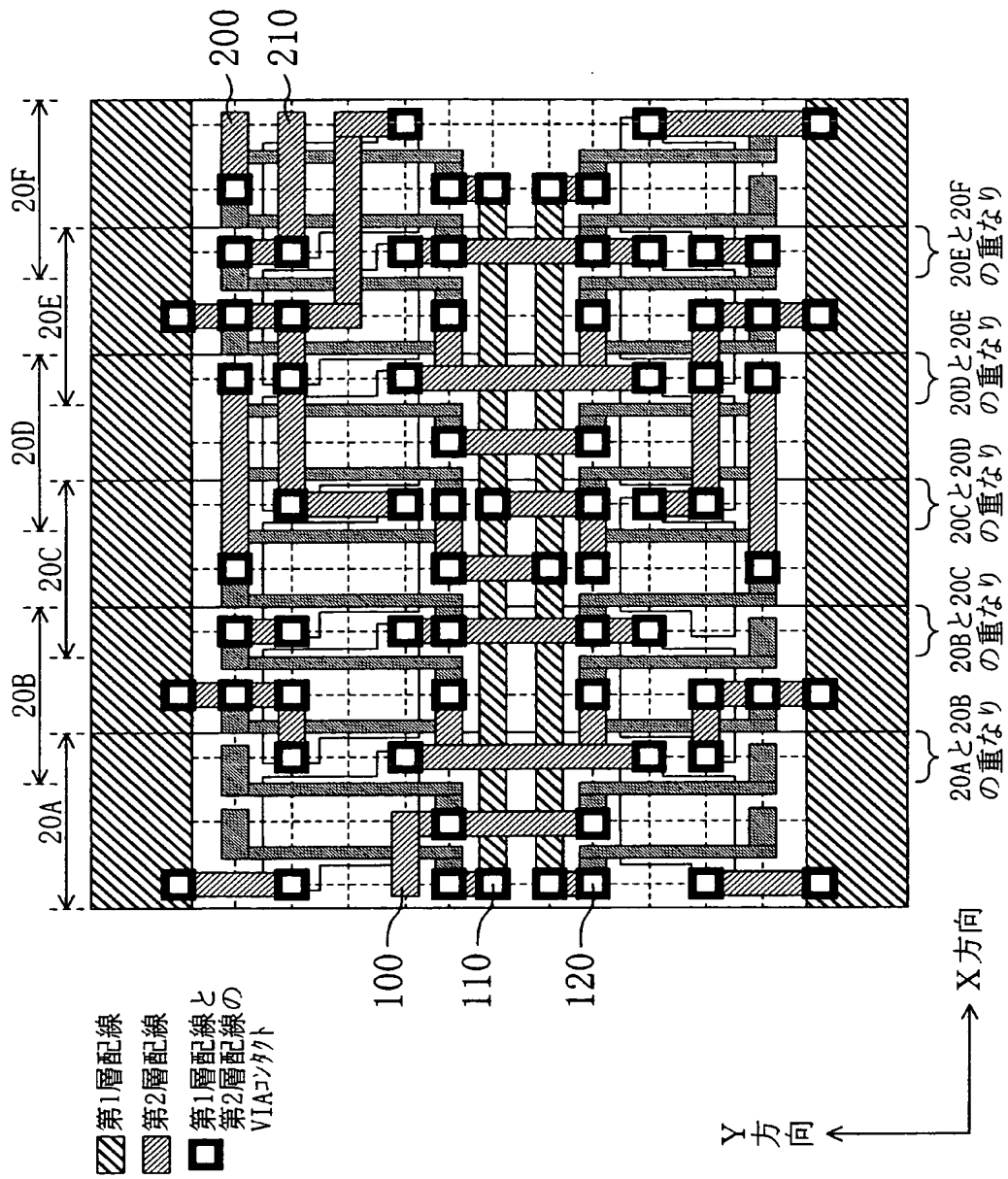
【图 1】



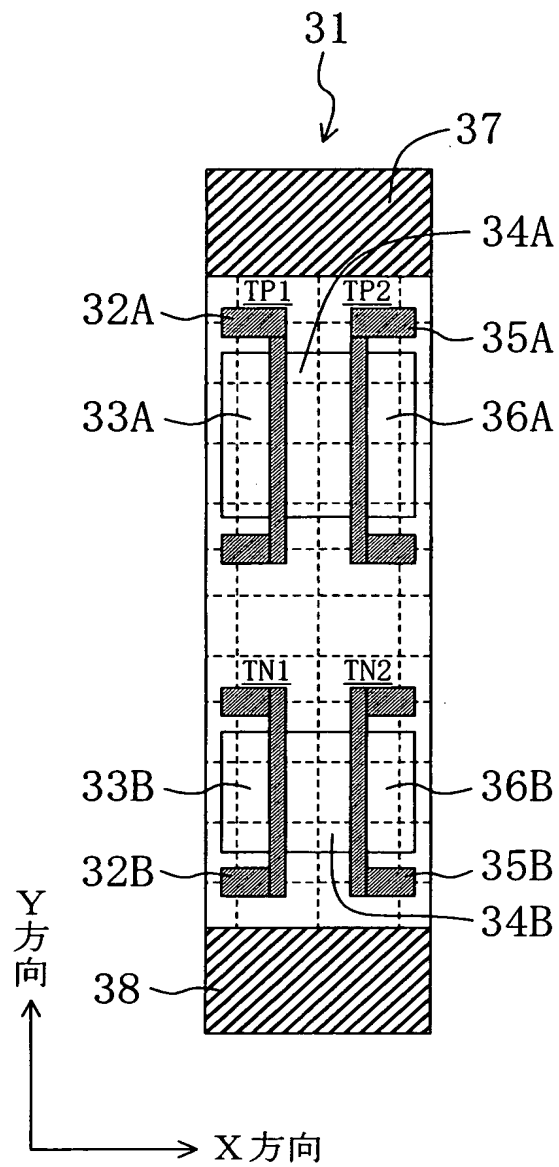
【図 2】



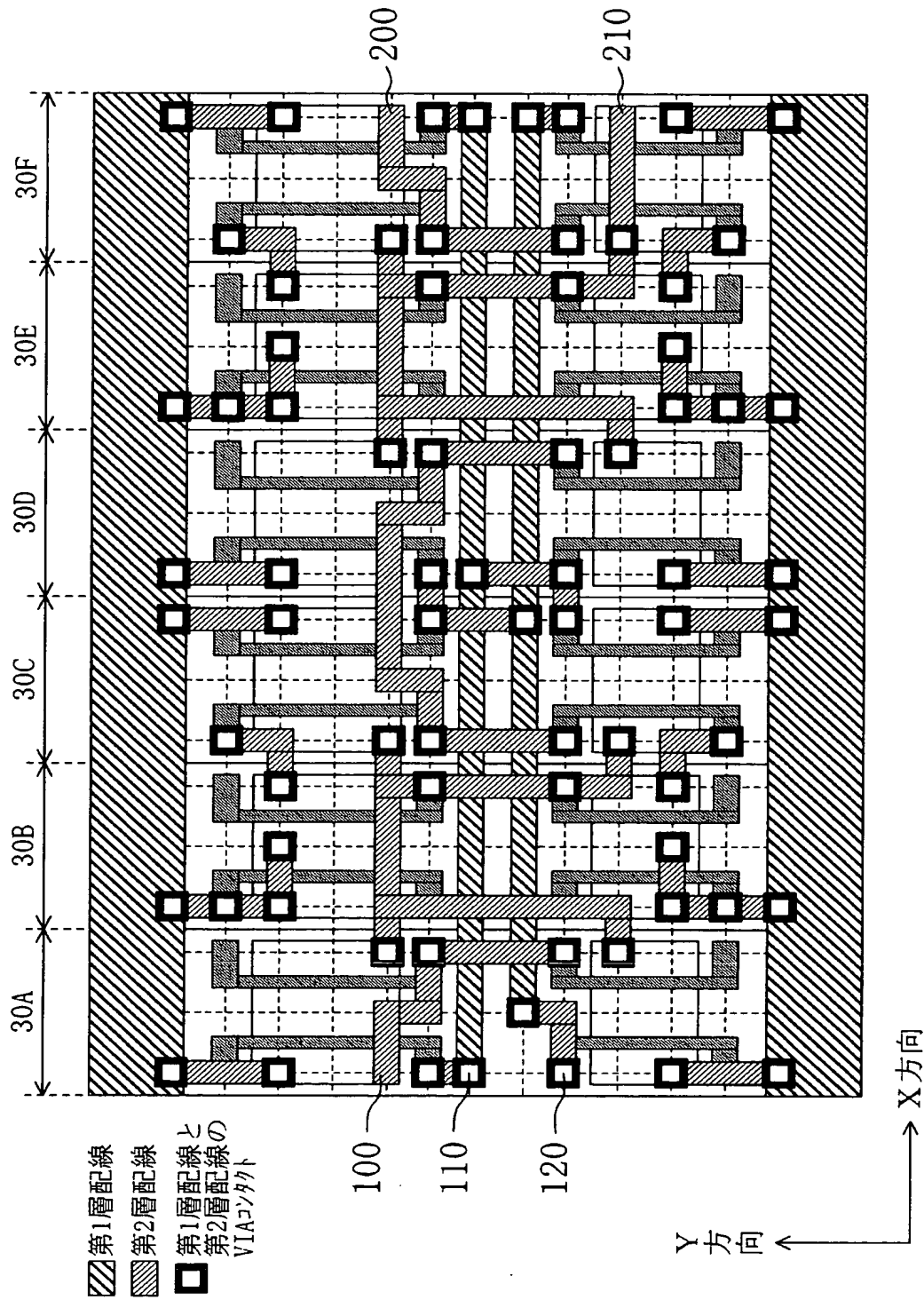
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 ゲートアレイ型半導体集積回路のレイアウト面積を縮小すると共に、動作の高速化、低消費電力化を実現する

【解決手段】 CMOS型用基本セル20は、Pチャンネル型トランジスタTP1, TP2のゲート1、4及び拡散領域が各々上端部及び下端部において左側方及び右側方に折れ曲がった折曲部1b, 1c, 4b, 4c, 2a, 5aを持つ鉤型構造に形成される。Nチャンネル型トランジスタTN1, TN2のゲート7, 10及び拡散領域も同様に、各々、上端部及び下端部において左側方及び右側方に折れ曲がった折曲部7b, 7c, 10b, 10c, 11a, 8aを持つ鉤型構造に形成される。基本セル20の左側方及び右側方に同一構成の基本セルを配列して半導体集積回路を構成する場合に、相い隣る基本セル20同士を1グリッド分重ね合せて、隣り合う基本セル20同士で前記鉤型構造の部分が交互に入り込むように配置する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社